

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-063271

(43)Date of publication of application : 07.03.1997

(51)Int.Cl.

G11C 11/407
G11C 11/409

(21)Application number : 07-233392

(71)Applicant : HITACHI LTD
TEXAS INSTR JAPAN LTD

(22)Date of filing : 18.08.1995

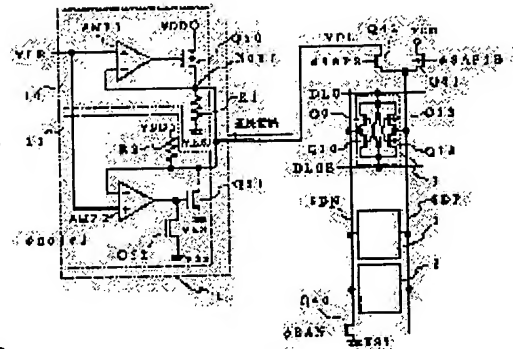
(72)Inventor : HASHIMOTO TAKESHI
SUZUKI YUKIE
SUKEGAWA SHUNICHI

(54) SEMICONDUCTOR STORAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the probability that a step-down voltage of a step-down circuit supplying one operation power source to a sense amplifier driven by an overdrive system is level raised unexpectedly.

SOLUTION: When an overdrive technique supplying external power source VDD to the sense amplifier as the operation power source at the activation timing of the sense amplifier 3 first of all, and then, supplying the step-down voltage VDL formed by the step-down circuit 1 as the operation power source is adopted, this storage is constituted so as to be provided with a discharge unit 11 adding the step-down circuit 1 to a step-down unit 10 forming the step-down voltage on a series connection point Nout between a current source Q50 and a high resistor R1, and conducting a series coupling point to the ground potential VSS at the prescribed voltage. This voltage of the series connection point is made the step-down voltage or above.



LEGAL STATUS

[Date of request for examination]

11.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成9年(1997)3月7日

11/409

3 5 3 E

【特許請求の範囲】

【請求項1】 選択端子がワード線に結合された複数のメモリセルと、メモリセルのデータ入出力端子に接続される相補信号線と、相補信号線の電位差を増幅する差動増幅回路と、外部から供給される外部電源電圧を降圧し前記ワード線の選択レベル以下の降圧電圧を形成する降圧回路と、前記差動増幅回路の活性化タイミングにおいて最初前記外部電源電圧を動作電源として前記差動増幅回路に接続させ、次いで前記降圧回路の出力電圧を動作電源として前記差動増幅回路に接続させる制御手段とを備えた半導体記憶装置であって、

前記降圧回路は、電流源と高抵抗との直列接続点に前記降圧電圧を形成する降圧ユニットと、前記直列接続点の電圧が前記降圧電圧以上とされる所定電圧において当該直列結合点を接地電位に導通させるディスチャージユニットとを備えて、成るものであることを特徴とする半導体記憶装置。

【請求項2】 選択端子がワード線に結合された複数のメモリセルと、メモリセルのデータ入出力端子に接続される相補信号線と、相補信号線の電位差を増幅する差動増幅回路と、外部から供給される外部電源電圧を降圧し前記ワード線の選択レベル以下の降圧電圧を形成する降圧回路と、前記差動増幅回路の活性化タイミングにおいて最初前記外部電源電圧を動作電源として前記差動増幅回路に接続させ、次いで前記降圧回路の出力電圧を動作電源として前記差動増幅回路に接続させる制御手段とを備えた半導体記憶装置であって、

前記降圧回路は降圧ユニットとディスチャージユニットを備え、前記降圧ユニットは、外部電源電圧に結合される第1の電流源MOSトランジスタと接地電位に結合される第1の高抵抗との直列接続点を出力端子として備え、当該出力端子が反転入力端子に帰還され非反転入力端子に基準電圧が供給されて前記第1の電流源MOSトランジスタをスイッチ制御する第1のオペアンプとから成り、前記ディスチャージユニットは、外部電源電圧に結合される第2の高抵抗と接地電位に結合される第2の電流源MOSトランジスタとの直列接続点が前記出力端子に結合され、前記出力端子が反転入力端子に帰還され非反転入力端子に前記基準電圧が供給されて前記第2の電流源MOSトランジスタをスイッチ制御する第2のオペアンプとから成る、ものであることを特徴とする半導体記憶装置。

【請求項3】 前記差動増幅回路の動作電源が前記外部電源電圧から前記降圧回路の出力電圧に切り換えられた後、降圧回路の出力電圧が動作電源として差動増幅回路に供給されている期間内の一定期間を除いて、前記第2の電流源MOSトランジスタをオフ状態に強制する手段を更に備えて成るものであることを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 前記メモリセルはダイナミック型のメモリセルであり、前記降圧回路の出力端子の電圧の概ね半分の電圧をプリチャージ電圧として形成する回路と、前記相補信号線を選択的に導通させるイコライズ回路と、前記イコライズ回路による相補信号線の導通タイミングに呼応して、相補信号線に前記プリチャージ電圧を供給するプリチャージ回路とを備えて成るものであることを特徴とする請求項2記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、オーバドライブ形式で駆動されるセンスアンプを備えた半導体記憶装置に関し、例えば高集積化のために動作電圧が低電圧化されたDRAM（ダイナミック・ランダム・アクセス・メモリ）に適用して有効な技術に関する。

【0002】

【従来の技術】DRAMの記憶容量を増大させるためにメモリセルトランジスタ等のMOSトランジスタは小型化され、それによってMOSトランジスタのゲート長の縮小化に伴ってゲート酸化膜が薄膜化されるので、動作電圧の低電圧化が進められている。特にDRAMは、ハイレベルの読み出し動作効率を落とさない（若しくはハイレベルの読み出し動作マージンを比較的大きくする）ようにしてハイレベルの書き込み（メモリセルの蓄積容量に対する充電動作）を行おうとする場合には、ワード線の選択レベルを上げるか、メモリセルのデータ入出力端子が結合されたデータ線の電圧（センスアンプの増幅動作によるデータ線の到達レベル）を下げるのが効果的である。但し、上述のようにトランジスタの高集積化に伴ってMOSトランジスタのゲート酸化膜が薄膜化されている場合にはワード線の電圧レベルをむやみに上げるとゲート酸化膜が破壊し易くなってDRAMの信頼性の点において好ましくない。このような事情により、データ線の電圧を下げるのが余儀なくされる。このようにデータ線の電圧を低電圧化すると、センスアンプの高速動作の妨げになる。即ち、センスアンプの動作電源の電圧が低くされると、センスアンプに流れる電流が少なくなり、メモリセルの電荷情報がデータ線に読出されたとき相補関係にあるデータ線に形成される微小電位差を増幅する速度が低下される。

【0003】そこで、センスアンプを低電圧下で高速動作させる技術として、センスアンプのオーバドライブ技術がある。例えばセンスアンプがCMOSスタティックラッチ形態で構成されるとき、Pチャンネル型MOSトランジスタのソースには、センスアンプ活性化タイミングの最初に外部電源電圧VDDを与え、次いで外部電源電圧VDDを降圧した電圧VDLを与えて、センスアンプを動作させる。センスアンプのオーバドライブ技術の一つとしては、ISSCC 95 A 29ns 64MbDRAM with Hierarchical Array Architecture / FA14.2で報告されて

いる。

【0004】

【発明が解決しようとする課題】本発明者は上記センスアンプのオーバドライブ技術について検討した結果、以下の問題点を見出した。即ち、センスアンプを構成するPチャンネル型MOSトランジスタのソースはスイッチ素子を介して外部電源電圧VDDが供給され、また別のスイッチ素子を介して、降圧回路の出力端子に結合される。外部電源電圧VDD及び降圧電圧VDLの供給ラインは多数のセンスアンプが共有する。センスアンプに外部電源電圧VDDが供給されると、それは降圧電圧VDLよりも高い動作電圧としてセンスアンプを高速動作させる。即ちセンスアンプの増幅動作における初期的な過渡応答動作が高速化される。次いでセンスアンプの動作電源は降圧電圧VDLに切り換えられる。多数のセンスアンプに共有される前記動作電源の供給ラインやデータ線には不所望な容量成分が存在するので、外部電源電圧VDDが許容範囲の上限のレベルであったり、また、動作マージンをテストするために通常よりも高いレベルの外部電源電圧が供給されているような状態では、センスアンプの動作電源が降圧電圧VDLに切り換えられたときに、センスアンプから降圧回路の出力端子に向けて電流が逆流することが予想される。

【0005】このとき、降圧回路として外部電源電圧に結合された電流源に高抵抗を直列接続した回路を採用して、降圧回路における貫通電流を最小限に抑えようとする場合、前記センスアンプ側から降圧回路の出力端子に向かって逆流した電流は前記高抵抗によって接地電位への速やかなリークが阻まれ、結果として降圧電圧VDLが上昇する虞のあることが本発明者によって見出された。

【0006】前記降圧電圧VDLの不所望なレベル上昇は以下の点で不都合である。降圧電圧VDLの上昇は、センスアンプの増幅動作によるデータ線の到達電圧を上昇させ、これによって、ワード線の選択レベルとデータ線のハイレベルとの電位差が小さくなって、メモリセルへのハイレベル書込みにおいて蓄積容量にはデータ線の当該ハイレベルの電圧を印加することができなくなる。また、前記降圧電圧VDLの不所望なレベル上昇によってセンスアンプによるデータ線の到達電圧が上昇されれば、それに応じて、チップ非選択期間にイコライズされるデータ線の初期的なレベル（プリチャージレベル）も上昇し、そのような状態で書き込まれたデータが読み出された場合、プリチャージレベルに対するハイレベルの読み出し電圧マージンも小さくされる。さらに、ワード線選択レベルを形成する昇圧回路が前記降圧電圧VDLを利用する場合には、降圧電圧VDLの不所望なレベル上昇はワード線選択レベルを上昇させて、メモリセル選択トランジスタのゲート酸化膜を破損させる虞を生ずる。

【0007】本発明の目的は、オーバドライブ形式で駆動されるセンスアンプのような差動増幅回路に対して一つの動作電源として降圧電圧を供給する降圧回路の前記降圧電圧が不所望にレベル上昇する虞を未然に防止できるようにした半導体記憶装置を提供することにある。

【0008】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】すなわち、メモリアレイの高集積化に伴う動作電圧の低電圧化に際して、センスアンプのような差動増幅回路（3）の高速動作を保証するため、前記差動増幅回路の活性化タイミングにおいて最初前記外部電源電圧（VDD）を動作電源として前記差動増幅回路に接続させ、次いで降圧回路（1）で形成された降圧電圧（VDL）を動作電源として前記差動増幅回路に接続させる、オーバドライブ技術を採用するとき、前記降圧回路を、電流源（Q50）と高抵抗（R1）との直列接続点（Nout）に前記降圧電圧を形成する降圧ユニット（10）に加えて、前記直列接続点の電圧が前記降圧電圧以上とされる所定電圧において当該直列結合点を接地電位（VSS）に導通させるディスチャージユニット（11）を設けて構成する。

【0011】降圧回路の更に詳しい態様において、前記降圧ユニット及びディスチャージユニットの電流源回路を高性能化する場合には、オペアンプ（AMP1、AMP2）にて電流源MOSトランジスタ（Q50、Q51）を負帰還制御するように構成することができる。このとき、ディスチャージ回路によるディスチャージ動作が過剰にならないようにするには、前記差動増幅回路の動作電源が前記外部電源電圧から前記降圧電圧に切り換えられた後、降圧回路の出力電圧が差動増幅回路に動作電源として供給されている期間内の一定期間を除いて、前記電流源MOSトランジスタをオフ状態に強制する手段（TG、Q52）を採用するとよい。

【0012】

【作用】センスアンプのような差動増幅回路の駆動方式としてオーバドライブ技術が採用されているとき、差動増幅回路の動作電源が外部電源電圧（VDD）から降圧電圧（VDL）に切り換えられたときに、差動増幅回路から降圧回路の出力端子に向けて電流が逆流することが予想される。降圧回路として、外部電源電圧に結合された電流源に高抵抗を直列接続した回路を採用して、降圧回路における貫通電流を最小限に抑えようとする場合、前記センスアンプ側から降圧回路の出力端子に向かって逆流した電流は前記高抵抗によって接地電位への速やかなリークが阻まれる。このとき、降圧回路に設けられた

ディスチャージユニットが前記逆流電流を接地電位に逃がし、これによって、降圧電圧が不所望にレベル上昇される事態が防止される。

【0013】また、ディスチャージユニット(11)の動作可能なタイミングを、前記差動増幅回路の動作電源が前記外部電源電圧から前記降圧電圧に切り換えられた後、降圧回路の出力電圧が差動増幅回路に動作電源として供給されている期間内の一定期間に限定することにより、降圧ユニット側とディスチャージユニット側で常時負帰還制御が行われる場合に双方の電流源MOSトランジスタ(Q50, Q51)を介する電流供給動作と電流引き抜き動作が頻繁に繰り返されることによって消費電力が無視し得ない程に増大することを防止でき、また、降圧ユニット側とディスチャージユニット側で常時負帰還制御が行われることによって降圧電圧が周期的に変動し、差動増幅回路から電流の逆流が生じていない場合にも降圧電圧が周期的に変化する事態を阻止することができる。

【0014】

【実施例】図4には本発明の一実施例に係るDRAMのブロック図が示される。同図に示されるDRAMは、特に制限されないが、公知半導体集積回路の製造技術によって、単結晶シリコンのような1個の半導体基板に形成される。図4には代表的に2個のメモリアレイMARY0, MARY1が示される。

【0015】本実施例のDRAMは3.3Vのような外部電源電圧VDD、0Vのような接地電位VSSを外部電源端子より受ける。本実施例のDRAMは記憶容量増大のためにメモリアレイMARY0, MARY1におけるMOSトランジスタは小型化され、それによってそれらMOSトランジスタのゲート長の縮小化に伴ってゲート酸化膜が薄膜化されている。このため、メモリアレイMARY0, MARY1における動作電圧は低電圧化され、例えば2.2Vのような降圧電圧VDLを基本的な動作電源として利用する。降圧電圧VDLは外部電源電圧VDDを降圧する降圧回路1にて生成される。

【0016】各メモリアレイMARY0, MARY1は夫々8個のメモリマットMMAT0~MMAT7に分割される。個々のメモリマットMMAT0~MMAT7は、選択端子がワード線に、データ入出力端子が相補データ線に結合された1トランジスタ型のダイナミックメモリセルを多数含んでいる。各メモリマット毎にワードドライバWD0~WD7と、ロウアドレスデコーダXD0~XD7が設けられる。ロウアドレスデコーダXD0~XD7は、その動作が選択されると、内部相補ロウアドレス信号AXをデコードしてワード線選択信号を形成し、内部相補ロウアドレス信号AXに応ずる1本のワード線を選択する。ワードドライバWD0~WD7はワード線選択信号を受け、制御信号φXにて指示されるワード線駆動タイミングに同期して、ワード線選択信号にて

選択されるべきワード線を選択レベルに駆動する。ワードドライバWD0~WD7が形成するワード線選択レベルは、前記降圧電圧VDLよりもレベルの高い昇圧電圧VPPとされる。昇圧電圧VPPは降圧電圧VDLを昇圧する昇圧回路2にて生成される。

【0017】SA01, SA23, SA45, SA67はセンスアンプブロック、CSW01, CSW23, CSW45, CSW67はカラムスイッチ回路ブロックであり、左右1対のメモリマットの間に配置され、隣接する左右1対のメモリマットが共有する。センスアンプブロックSA01, SA23, SA45, SA67とカラムスイッチ回路ブロックCSW01, CSW23, CSW45, CSW67を挟んで配置された左右一対のメモリマットにはシェアードデータ線構造が採用され、何れか一方のメモリマットの動作が選択されるようになっている。夫々のセンスアンプブロックの動作制御及びセンスアンプブロックを共有するメモリマット間におけるデータ線シェアリングスイッチ回路(図5参照)の制御などの、メモリマットの動作選択及び動作制御は、対を成すメモリマット毎に設けられたマットコントローラMCNT01, MCNT23, MCNT45, MCNT67が行う。

【0018】マットコントローラMCNT01, MCNT23, MCNT45, MCNT67にはマット選択信号MS、センスアンプ制御信号φSAN, φSAP2, φSAP1Bが供給される。マット選択信号MSは8個のメモリマットMMAT0~MMAT7から何れの1個を選択するかを指示する3ビットの信号とされる。実際にはロウアドレスバッファRABに保持されたロウアドレス信号の上位3ビットの情報に対応される。マットコントローラMCNT01, MCNT23, MCNT45, MCNT67はマット選択信号MSをデコードし、それが指定するメモリマットを動作させるように、センスアンプブロックの動作制御やロウアドレスデコーダの活性化制御を行う。例えば、マット選択信号MSがメモリマットMMAT0を指定すると、ロウアドレスデコーダXD0が活性化されると共に、センスアンプブロックSA01がデータ線シェアリングスイッチ回路を介してメモリマットMMAT0に接続され、メモリマットMMAT0においてメモリセルの選択動作が可能にされる。センスアンプ制御信号φSAN, φSAP2, φSAP1Bについてはその詳細を後述する。

【0019】夫々のカラムスイッチ回路ブロックCSWnは、カラムアドレスデコーダYDからのカラム選択信号を受け、それによってメモリマットの中から夫々4組の相補データ線を選択して相補共通データ線CD0~CD3に導通させる。カラムアドレスデコーダYDは、読み出し動作においてはワード線選択動作が確定した後、イネーブルレベルにされるタイミング信号φYによって動作可能にされ、それによって内部相補カラムアドレス

信号AYをデコードしてカラム選択信号を生成する。

【0020】前記ワード線選択動作とカラム選択動作により、マツト選択信号MS、内部相補ロウアドレス信号AX、及び内部相補カラムアドレス信号AYにて指定される4個のメモリセルが相補共通データ線CD0～CD3に導通される。メモリアレイMARY1側も特に図示はしないが上記同様に構成され、メモリアレイMARY1側には相補共通データ線CD4～CD7が配置される。

【0021】前記相補共通データ線CD0～CD7は、特に制限されないが、データ入出力回路DIOに結合される。データ入出力回路DIOには、メインアンプ、書込みアンプ、及びデータ入出力バッファを含み、タイミング信号φWがイネーブルレベルにされることにより書込みのためのデータ入力動作を行い、タイミング信号φRがイネーブルレベルにされることにより読み出しのためのデータ出力動作を行う。本実施例のダイナミックRAMは、8ビット単位でデータの書込み及び読み出しが行われ、メモリアレイMARY0が下位4ビットを担い、メモリアレイMARY1が上位4ビットを担っている。

【0022】前記ロウアドレスバッファRABは、外部アドレス入力端子A0～Aiから入力されるロウアドレス信号をアドレスマルチプレクサAMXを介して取り込んで保持する。この取り込動作は、タイミング発生回路TGから供給されるタイミング信号φXLのハイレベルによって指示される。

【0023】アドレスマルチプレクサAMXは、特に制限されないが、ダイナミックRAMが通常の動作モードとされるときにタイミング発生回路TGからディスエーブルレベルのタイミング信号φREFが供給されることによって、外部端子A0～Aiを介して供給されるロウアドレス信号をロウアドレスバッファRABに伝達する。また、ダイナミックRAMがCBR (CAS before RAS) リフレッシュサイクルとされるときに上記タイミング信号φREFがイネーブルレベルにされると、リフレッシュアドレスカウンタRFCから供給されるリフレッシュアドレス信号を選択し、これをロウアドレスバッファRABに伝達する。

【0024】リフレッシュアドレスカウンタRFCは、特に制限されないが、ダイナミックRAMがCBRリフレッシュモードとされるとき、タイミング発生回路TGから所定サイクル毎に供給されるタイミング信号φRCに同期して計数動作を行ってリフレッシュアドレスを生成する。

【0025】前記カラムアドレスバッファCABは、前記外部アドレス入力端子A0～Aiを介して供給されるカラムアドレス信号を、タイミング発生回路TGから供給される制御信号φYLがイネーブルにされるタイミングに同期して取り込んで保持する。

【0026】前記タイミング発生回路TGは、外部からのアクセス制御信号として、ロウアドレスストローブ信号RAS* (記号*はこれが付された信号がローイネーブルの信号であることを意味する)、カラムアドレスストローブCAS*、ライトイネーブル信号WE*、及び出力イネーブル信号OE*が供給され、これらのレベル並びに変化タイミングに基づいて、ダイナミックRAMの動作モードを判定すると共に、上記各種のタイミング信号を形成し、ダイナミックRAMの内部動作を制御する。ロウアドレスストローブ信号RAS*はそのローレベルによってチップ選択を指示し、且つロウアドレス信号が有効であることを通知する。これに従ってタイミングコントローラTGは、ロウアドレス信号の取り込み、そしてワード線選択動作やメモリマツト選択のための前記制御信号を順次生成する。カラムアドレスストローブCAS*はカラムアドレス信号が有効であることを通知する信号とされる。それがイネーブルレベルにされると、タイミングコントローラTGはカラムアドレス信号の取り込みそしてカラム選択動作のための前記制御信号を順次生成する。ライトイネーブル信号WE*はそのイネーブルレベルによってDRAMに書込み動作を指示し、出力イネーブル信号OE*はそのイネーブルレベルによってDRAMに読み出し動作を指示する。CBRリフレッシュモードはロウアドレスストローブ信号RAS*がイネーブルにされる前にカラムアドレスストローブCAS*がイネーブルレベルにされることによって指定される。

【0027】図5には前記メモリマツトMMAT0、MMAT1、センスアンプブロックSA01、及びカラムスイッチ回路ブロックCSW01の部分的な回路図が示される。特に同図には、一つのカラム選択信号YS00を受ける回路部分が代表的に示されている。図においてチャンネル(バックゲート)部に矢印が付されているMOSトランジスタはPチャンネル型であって、矢印の付されていないNチャンネル型のMOSトランジスタと区別されている。

【0028】図5において代表的に示されたWL0～WLiはワード線であり、DL0、DL0B、DL1、DL1Bは相補データ線であり、MCはダイナミックメモリセルである。ダイナミックメモリセルMCは、データ線に接続された選択MOSトランジスタQ1と蓄積容量SCとの直列回路がプレート電位PL (VDL/2) に接続されて成る。Q27～Q34はデータ線シェアリングスイッチ回路を構成する一部のシェアリングスイッチMOSトランジスタである。メモリマツトMMAT0との間に配置された代表的に示されたシェアリングスイッチMOSトランジスタQ27～Q30は制御信号φSHRLにてスイッチ制御され、メモリマツトMMAT1との間に配置された代表的に示されたシェアリングスイッチMOSトランジスタQ31～Q34は制御信号φSH

RRにてスイッチ制御される。例えばマツト選択信号MSがメモリマツトMMAT0を選択するとき、前記マツトコントローラMCNT01が制御信号φSHRLをハイレベルに制御する。マツト選択信号MSがメモリマツトMMAT1を選択するとき、前記マツトコントローラMCNT01が制御信号φSHRRをハイレベルに制御する。マツト選択信号MSにて選択されないメモリマツトに関するシェアリングスイッチMOSトランジスタは当該メモリマツトに対応されるマツトコントローラにてオフ状態に制御される。

【0029】Nチャンネル型MOSトランジスタQ9、Q10とPチャンネル型MOSトランジスタQ13、Q14とによって構成されるスタティックラッチ形態の差動増幅回路は一つのセンスアンプ3であり、センスアンプ3は相補データ線毎に設けられている。センスアンプ3の動作電源はドライブラインSDN、SDPを介して供給される。ドライブラインSDN、SDPは各センスアンプ3に共通とされる。ドライブラインSDN、SDPへの動作電源の供給制御については後述する。また、夫々の相補データ線には上記センスアンプ3の他に、ダイナミックRAMが待機時に、相補データ線をイコライズするMOSトランジスタQ21を備える。MOSトランジスタQ21は、制御信号φPCSBによってスイッチ制御される。さらに、相補データ線のイコライズと共に相補データ線にプリチャージ電位を供給するためのMOSトランジスタQ17、Q18が設けられている。プリチャージ電位は降圧電圧VDLの半分のレベルとされ、配線HVCを介して供給される。MOSトランジスタQ17、Q18は制御信号φPCBによってスイッチ制御される。前記制御信号φPCB、φPCSBはタイミングコントローラTGから出力される。プリチャージ電圧VDL/2はプリチャージ電圧形成回路4にて形成され、例えば降圧電圧VDLを受ける抵抗分圧回路等によって構成される。

【0030】図5においてQ23、Q24は相補データ線DL0、DL0Bと相補共通データ線CD0(c d 0、c d 0B)との間に設けられたカラムスイッチであり、Q25、Q26は相補データ線DL1、DL1Bと相補共通データ線CD1(c d 1、c d 1B)との間に設けられたカラムスイッチである。同様のカラムスイッチは各相補データ線に設けられ、4対の相補データ線を一組として4対の相補共通データ線CD0(c d 0、c d 0B)、CD1(c d 1、c d 1B)、CD2(c d 2、c d 2B)、CD3(c d 3、c d 3B)に共通接続される。

【0031】次にセンスアンプ3のドライブラインSDN、SDPに動作電源を供給する回路構成について説明する。

【0032】図1にはセンスアンプ3のドライブラインSDN、SDPへ動作電源を供給する回路が示される。

同図においては代表的に1列分のセンスアンプ3が示されているが、図に代表的に示されているドライブラインSDN、SDPは本実施例のDRAMに含まれる全てのセンスアンプ3のためのドライブラインSDN、SDPを総称している。ドライブラインSDNには、制御信号φSANにてスイッチ制御されるNチャンネル型MOSトランジスタQ40を介して接地電位VSSが供給される。ドライブラインSDPには、制御信号φSAP1Bにてスイッチ制御されるPチャンネル型MOSトランジスタQ41を介して外部電源電圧VDDが供給され、また、制御信号φSAP2にてスイッチ制御されるNチャンネル型MOSトランジスタQ42を介して降圧電圧VDLが供給される。制御信号φSAN、φSAP1B、φSAP2は前記タイミングコントローラTGから出力される。

【0033】本実施例のDRAMは、前述のように、3.3Vのような外部電源電圧VDDを外部電源端子より受けるが、記憶容量増大のためにメモリアレイMARY0、MARY1におけるMOSトランジスタは小型化され、それによってそれらMOSトランジスタのゲート長の縮小化に伴ってゲート酸化膜が薄膜化されているので、メモリアレイMARY0、MARY1における動作電圧は低電圧化され、例えば2.2Vのような降圧電圧VDLを基本的な動作電源とする。このとき、ドライブラインSDPに降圧電圧VDLだけを供給したのでは、センスアンプ3の動作速度が遅くなってしまうので、ドライブラインSDPにはセンスアンプ活性化タイミングの最初に外部電源電圧VDDを与え、次いで降圧電圧VDLを与えてセンスアンプを動作させるという、センスアンプのオーバドライブ技術が適用されている。

【0034】即ち、図2に示されるように、センスアンプ3の活性化期間を規定する制御信号φSAEB(タイミングコントローラTGの内部制御信号であって図1には図示されていない)がローレベルのアクティブレベルに変化されると、先ず、制御信号φSAP1Bがローレベルに変化されてMOSトランジスタQ41を介してドライブラインSDPに電源電圧VDDが供給される。これによって、センスアンプ3のPチャンネル型MOSトランジスタQ13、Q14から供給される電流が比較的大きいため、メモリセルの選択動作によって相補データ線DL0、DL0Bに現れる微少電位差は速やかに増幅される。次いで、制御信号φSAP1Bがハイレベルに反転されると共に制御信号φSAP2がハイレベルにされることにより、MOSトランジスタQ42を介してドライブラインSDPに降圧電圧VDLが供給される。制御信号φSANは制御信号φSAEBのローレベル期間に同期してハイレベルにされる。これにより、センスアンプ3によって駆動される相補データ線の到達レベルは、一方が接地電位VSS、他方が降圧電圧VDLに規定される。このようにして、メモリセルアレイの低電圧

駆動下におけるセンスアンプ3の増幅動作を高速化している。

【0035】本実施例の降圧回路1は、降圧ユニット10とディスチャージユニット11を備える。前記降圧ユニット10は、外部電源電圧VDDに結合されるPチャンネル型のMOSトランジスタQ50と接地電位VSSに結合される高抵抗R1との直列接続点を出力端子Noutとして備え、当該出力端子Noutが反転入力端子(−)に帰還され、非反転入力端子(+)に基準電圧VLRが供給されて、前記MOSトランジスタQ50をスイッチ制御するオペアンプAMP1を備えて構成される。前記オペアンプAMP1は、出力端子Noutの電位が基準電位VLRよりも低くされるとMOSトランジスタQ50のコンダクタンスを大きく(オン抵抗を小さく)し、出力端子Noutの電位が基準電位VLRよりも高くされるとMOSトランジスタQ50のコンダクタンスを小さく(オン抵抗を大きく)して、出力端子Noutの電圧を基準電圧VLRに保つように負帰還制御を行う。このようにして出力端子Noutに形成された電圧が降圧電圧VDLとされる。特にMOSトランジスタQ50と抵抗R1と直列回路に流れる貫通電流を最小限に抑えるために抵抗R1の値は非常に大きな値にされている。前記負帰還制御において、高抵抗R1を介して出力端子Noutに流れる電流は実質的に無視し得る程少なくされている。尚、基準電圧VLRは例えば図示しない公知の基準電圧発生回路によって形成される制御電圧であり、例えば2.2Vとされる。

【0036】ここで、外部電源電圧VDDは例えば3.3Vとされるが、利用可能な電源電圧には通例±10%程度の許容範囲を容認している。したがって、外部電源電圧VDDとしてその許容範囲における下限のレベルが供給される場合においてもセンスアンプ3の過渡応答動作の高速化を図るために、前記制御信号φSAP1Bのアクティブ期間が設定されている。したがって、システム上で供給される外部電源電圧VDDが許容範囲の上限のレベルであったり、電源電圧VDD側の動作マージンテストなどのために特に高い外部電源電圧VDDが供給された場合などには、センスアンプ3に対するオーバードライブが過剰になって、センスアンプ3の動作電源が外部電源電圧VDDから降圧電圧VDLに切換えられたときに、ドライブラインSDPから降圧回路1の出力端子Noutに向けて電流が逆流する虞がある。逆流した電流は、前述のように高抵抗R1を介して接地電位VSSに即座にディスチャージさせることは期待できない。本実施例においてそのようなドライブラインSDPから逆流した電流をディスチャージする経路は前記ディスチャージユニット11が形成するようになっている。

【0037】前記ディスチャージユニット11は、外部電源電圧VDDに結合される高抵抗R2と接地電位VSSに結合されるNチャンネル型の電流源MOSトランジ

スタQ51との直列接続点が前記出力端子Noutに結合され、前記出力端子Noutが反転入力端子(−)に帰還され、非反転入力端子(+)に前記基準電圧VLRが供給されて前記電流源MOSトランジスタQ51をスイッチ制御するオペアンプAMP2を備え、更に、オペアンプAMP2の出力を選択的に接地電位VSSに導通させるNチャンネル型のMOSトランジスタQ52を備えて成る。

【0038】前記オペアンプAMP2は、出力端子Noutの電位が基準電位よりも低くされるとMOSトランジスタQ50のコンダクタンスを小さく(オン抵抗を大きく)し、出力端子Noutの電位が基準電位よりも高くされるとMOSトランジスタQ50のコンダクタンスを大きく(オン抵抗を小さく)して、出力端子Noutの電圧が基準電圧VLRを越えた場合に、MOSトランジスタQ51を介して接地電位VSSへのディスチャージ経路を形成するための負帰還制御を行う。降圧ユニット10と同様に、MOSトランジスタQ51と抵抗R2との直列回路に流れる貫通電流を最小限に抑えるために抵抗R2の値は非常に大きな値にされているので、前記負帰還制御において、高抵抗R2を介して出力端子Noutに供給される電流は実質的に無視し得る程少なくされている。このようにディスチャージユニット10は、ドライブラインSDPから逆流した電流をディスチャージする経路を形成するので、降圧電圧VDLが不所望にレベル上昇する虞を未然に防止することができる。

【0039】仮に、ディスチャージユニット11が設けられていない場合には、図3に示されるように、ドライブラインSDPからの逆流電流によって降圧電圧VDLのレベルが徐々に上昇され、それに伴って相補データ線のプリチャージレベル(VDL/2)が上昇されてしまう。

【0040】前記降圧電圧VDLの不所望なレベル上昇は以下の点で不都合である。降圧電圧VDLの上昇は、センスアンプの増幅動作によるデータ線の到達電圧を上昇させ、これによって、ワード線の選択レベルとデータ線のハイレベルとの電位差が小さくなって、メモリセルへのハイレベル書き込みにおいて蓄積容量SCにはデータ線の当該ハイレベルの電圧を印加することができなくなる。また、前記降圧電圧VDLの不所望なレベル上昇によってセンスアンプによるデータ線の到達電圧が上昇されれば、それに応じて、チップ非選択期間にイコライズされるデータ線の初期的なレベルであるプリチャージレベルも上昇し、そのような状態で書き込まれたデータが読み出された場合、プリチャージレベルに対するハイレベルの読み出し電圧マージンも小さくされる。さらに、ワード線選択レベルを形成する昇圧回路2が前記降圧電圧VDLを利用する場合には、降圧電圧VDLの不所望なレベル上昇はワード線選択レベルVPPを上昇させて、メモリセル選択MOSトランジスタQ1のゲート酸

化膜を破損させる虞を生ずる。本実施例のDRAMにおいてそのような不都合は生じない。

【0041】前記MOSトランジスタQ52をスイッチ制御する制御信号 ϕ_{node1} は前記タイミングコントローラTGにて形成される。制御信号 ϕ_{node1} は、センスアンプ3の動作電源が前記外部電源電圧VDDから前記降圧電圧VDLに切り換えられた後、降圧電圧VDLがセンスアンプ3に動作電源として供給されている期間内の一定期間だけローレベルにされる。ディスチャージユニット11は制御信号 ϕ_{node1} がローレベルにされているときだけ前記負帰還制御によるディスチャージ経路の形成が可能にされる。そして、制御信号 ϕ_{node1} がローレベルにされる期間は前記ドライブラインSDPからの電流逆流を生ずる虞のあるタイミングに呼応されている。それ以外の期間ではディスチャージユニット11の実質的なディスチャージ動作は抑止されることになる。これにより、MOSトランジスタQ50、Q51を介する直流貫通経路が常時形成可能にされることによる不都合を解消することができる。即ち、降圧ユニット側とディスチャージユニット側で常時負帰還制御が行われる場合にMOSトランジスタQ50、Q51を介する電流供給動作と電流引き抜き動作が頻繁に繰り返されることによって消費電力が無視し得ない程に増大したり、また、降圧ユニット側とディスチャージ側で常時負帰還制御が行われることによって降圧電圧が周期的に変動し、ドライブラインSDPからの電流逆流が生じていない場合にも降圧電圧が周期的に変化したりする事態を阻止することができる。

【0042】また、本実施例では降圧ユニット側とディスチャージユニット側で別個のオペアンプAMP1、AMP2を利用しているので、夫々の回路特性を相違させる（例えばオフセット電圧を相互に相違させる）ことによって、過剰なディスチャージ動作が行われないようにするなどの回路設計の融通性を増すことができる。

【0043】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。例えば、降圧ユニット10とディスチャージユニット11においてオペアンプを共通化してもよい。また、降圧ユニット10とディスチャージユニット11における電流源はオペアンプを利用して負帰還制御する構成に限定されない。また、DRAMのメモリマツ構成、マツ選択の論理構成、データの並列入出力ビット数等は上記実施例に限定されず適宜変更可能である。

【0044】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDRAMに適用した場合について説明したが、本発明はそれに限定されるものではなく、クロック信号に同期動作されるシンクロナスDRAM、擬似スタティックRAM、さ

らにはマイクロコンピュータ等のデータ処理LSIにオンチップされたそれらメモリ等にも適用することができる。

【0045】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0046】すなわち、メモリアレイの高集積化に伴う動作電圧の低電圧化の流れにおいて、オーバドライブ技術によってセンスアンプのような差動増幅回路の高速動作を保証しようとするとき、差動増幅回路のドライブラインから降圧回路への電流逆流が生じて、それによって降圧電圧が不所望にレベル上昇される事態を防止することができる。

【0047】したがって、動作電圧の低電圧化に向けられた回路の信頼性が降圧電圧の負所望なレベル上昇によって低下させられる事態を未然に防止することができる。例えば、センスアンプの様な差動増幅回路の増幅動作によるデータ線の到達電圧が、降圧電圧の上昇によって高くされることにより、ワード線の選択レベルとデータ線のハイレベルとの電位差が小さくなってメモリセルへのハイレベル書込みにおいて蓄積容量にはデータ線の当該ハイレベルの電圧を印加することができなくなる事態を防止できる。また、降圧電圧の不所望なレベル上昇によってセンスアンプのような差動増幅回路によるデータ線の到達電圧が上昇されれば、それに応じて、イコライズされるデータ線のプリチャージレベルも上昇し、そのような状態で書き込まれたデータが読み出された場合、プリチャージレベルに対するハイレベルの読み出し電圧マージンも小さくされてしまうことも防止できる。また、ワード線選択レベルを形成する昇圧回路が前記降圧電圧を利用する場合には、降圧電圧の不所望なレベル上昇がワード線選択レベルを上昇させて、メモリセル選択トランジスタのゲート酸化膜を破損させる虞も生じさせない。

【図面の簡単な説明】

【図1】センスアンプのドライブラインへ動作電源を供給するための一実施例回路図である。

【図2】降圧回路にディスチャージユニットを採用した場合の動作波形図である。

【図3】降圧回路にディスチャージユニットを採用しない場合の比較例を示す動作波形図である。

【図4】本発明の一実施例に係るDRAMの全体的なブロック図である。

【図5】本実施例DRAMのメモリマツ、センスアンプブロック、及びカラムスイッチ回路ブロックの部分的な回路図である。

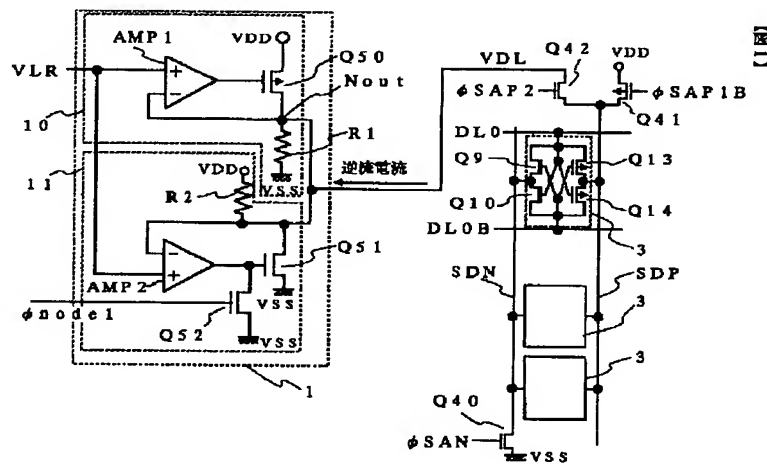
【符号の説明】

MARY0、MARY1 メモリアレイ
MMAT0～MMAT7 メモリマツ

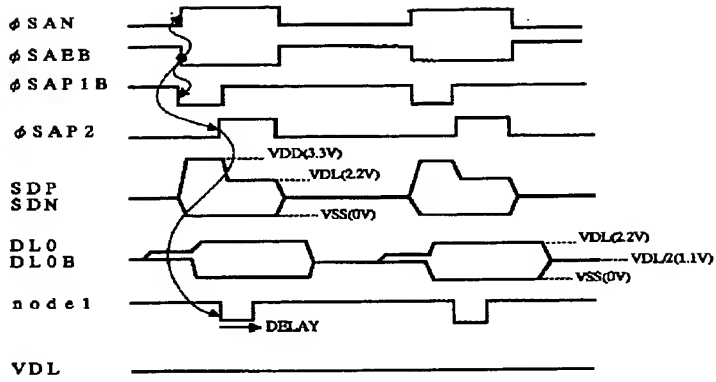
SA01, SA23, SA45, SA67 センスアン
プブロック
WD0~WD7 ワードドライバ
XD0~XD7 ロウアドレスデコーダ
YD カラムアドレスデコーダ
TG タイミングコントローラ
DL0, DL0B, DL1, DL1B 相補データ線
WL_i, WL(_i-1) ワード線
MC ダイナミックメモリセル
Q17, Q18 プリチャージ用MOSトランジスタ
Q21 イコライズ用MOSトランジスタ
VDL 降圧電圧
VDD 外部電源電圧
VSS 接地電圧
VPP ワード線駆動電圧
1 降圧回路
10 降圧ユニット
AMP1 オペアンプ
Q50 電流源MOSトランジスタ
R1 高抵抗

Nout 出力端子
11 ディスチャージユニット
AMP2 オペアンプ
Q51 電流源MOSトランジスタ
R2 高抵抗
Q52 ディスチャージ用MOSトランジスタ
φnode1 制御信号
2 昇圧回路
3 センスアンプ
Q9, Q10 センスアンプ構成用Nチャンネル型MO
Sトランジスタ
Q13, Q14 センスアンプ構成用Pチャンネル型M
OSトランジスタ
SDP, SDN センスアンプのドライブライン
Q41, Q42 SDPへの動作電源供給用MOSトラ
ンジスタ
Q40 SDNへの動作電源供給用MOSトランジスタ
φSAP2, φSAP1B, φSAN センスアンプ制
御信号
4 プリチャージ電圧形成回路

【図1】

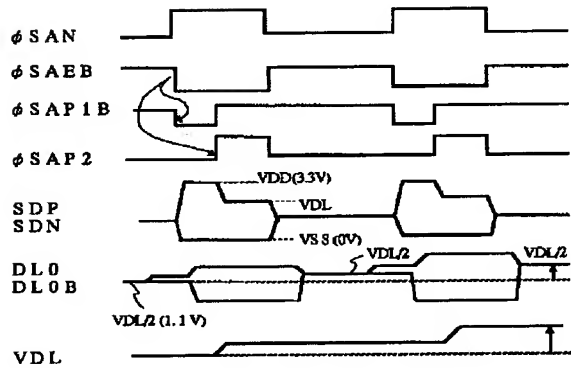


【図2】

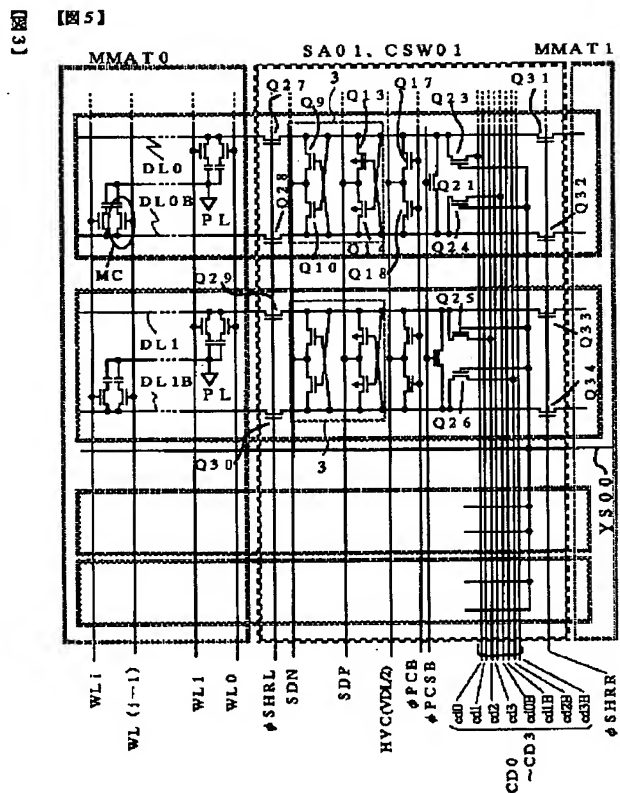


【図2】

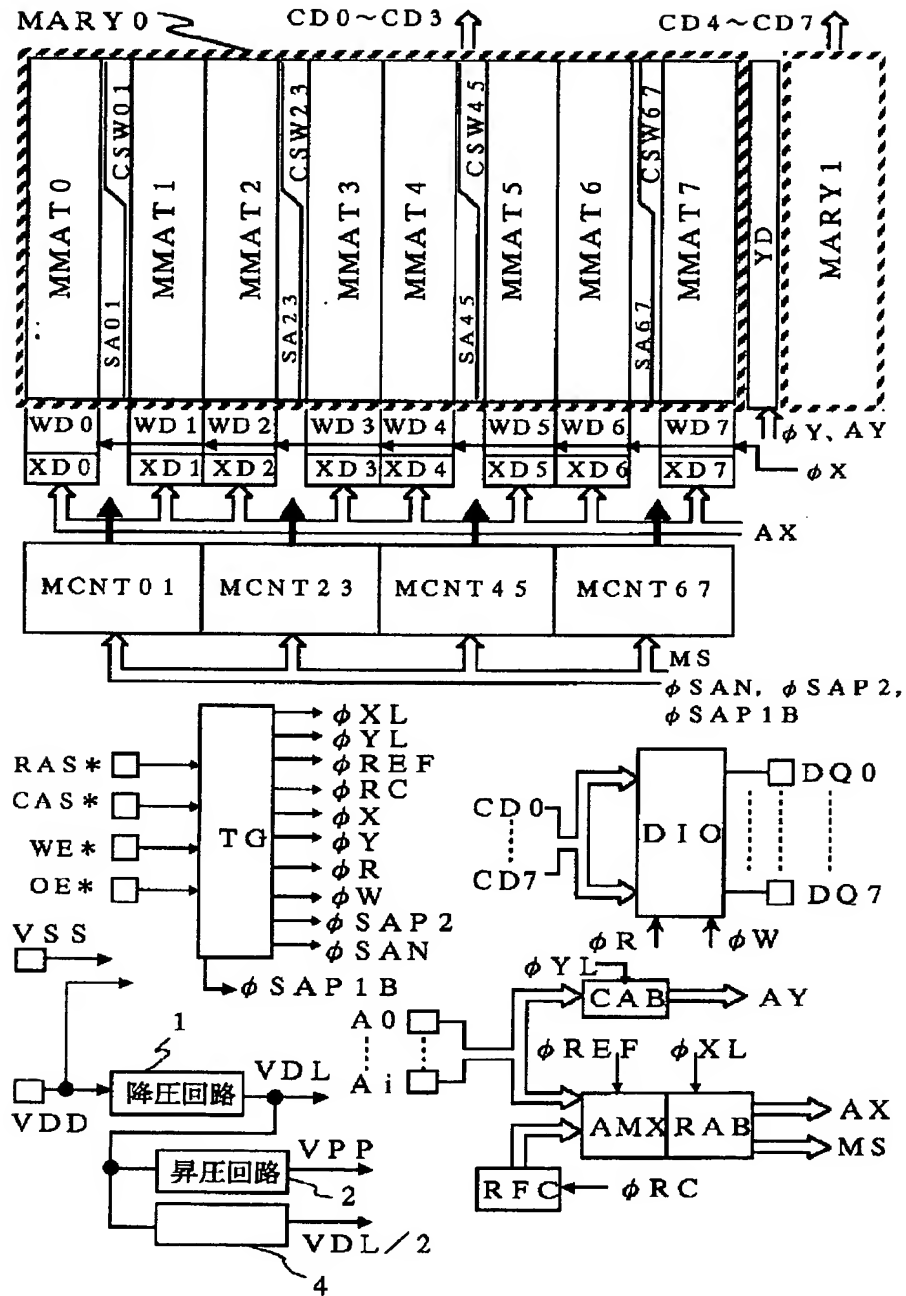
【図3】



【図5】



【图 4】



フロントページの続き

(72)発明者 鈴木 幸英
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 助川 俊一
茨城県稲敷郡美浦村木原2350 日本テキサ
ス・インスツルメンツ株式会社内